

# SEMI - CONDUCTEURS

COURS DE BASE  
ELECTRONIQUE

Cette nouvelle leçon va vous permettre d'aborder la **TECHNOLOGIE DES SEMI-CONDUCTEURS**, en examinant les principales méthodes utilisées pour la production des transistors au stade industriel.

Il existe actuellement trois méthodes utilisées pour la formation des jonctions P.N à savoir :

- Le procédé D'ALLIAGE.
- Le procédé de DIFFUSION (déjà vu avec l'étude des diodes).
- Le procédé de l'ACCROISSEMENT CONTROLE. (Avec ce procédé, la formation des jonctions P.N s'effectue pendant la croissance du monocristal).

Les transistors de la production industrielle courante, destinés à l'usage général, sont obtenus exclusivement par les procédés D'ALLIAGE et de DIFFUSION.

Pour cette raison, nous nous limiterons seulement à l'étude de ces deux procédés.

## I - TRANSISTORS A JONCTIONS D'ALLIAGE.

Le principe de la jonction d'ALLIAGE consiste à disposer sur une plaquette de semi-conducteur, une quantité déterminée de corps étrangers, appelés IMPURETES.

L'ensemble est ensuite porté à une température supérieure à celle du point de fusion.

Il se forme ainsi UN ALLIAGE, constitué par le matériau impur et par la partie supérieure du semi-conducteur.

Après refroidissement, une certaine quantité d'atomes d'impuretés se trouve incluse dans le réseau cristallin du semi-conducteur, formant une zone N ou une zone P.

Etant donné qu'il faut deux jonctions pour réaliser un transistor, le même traitement est effectué sur les deux côtés de la plaquette du semi-conducteur.

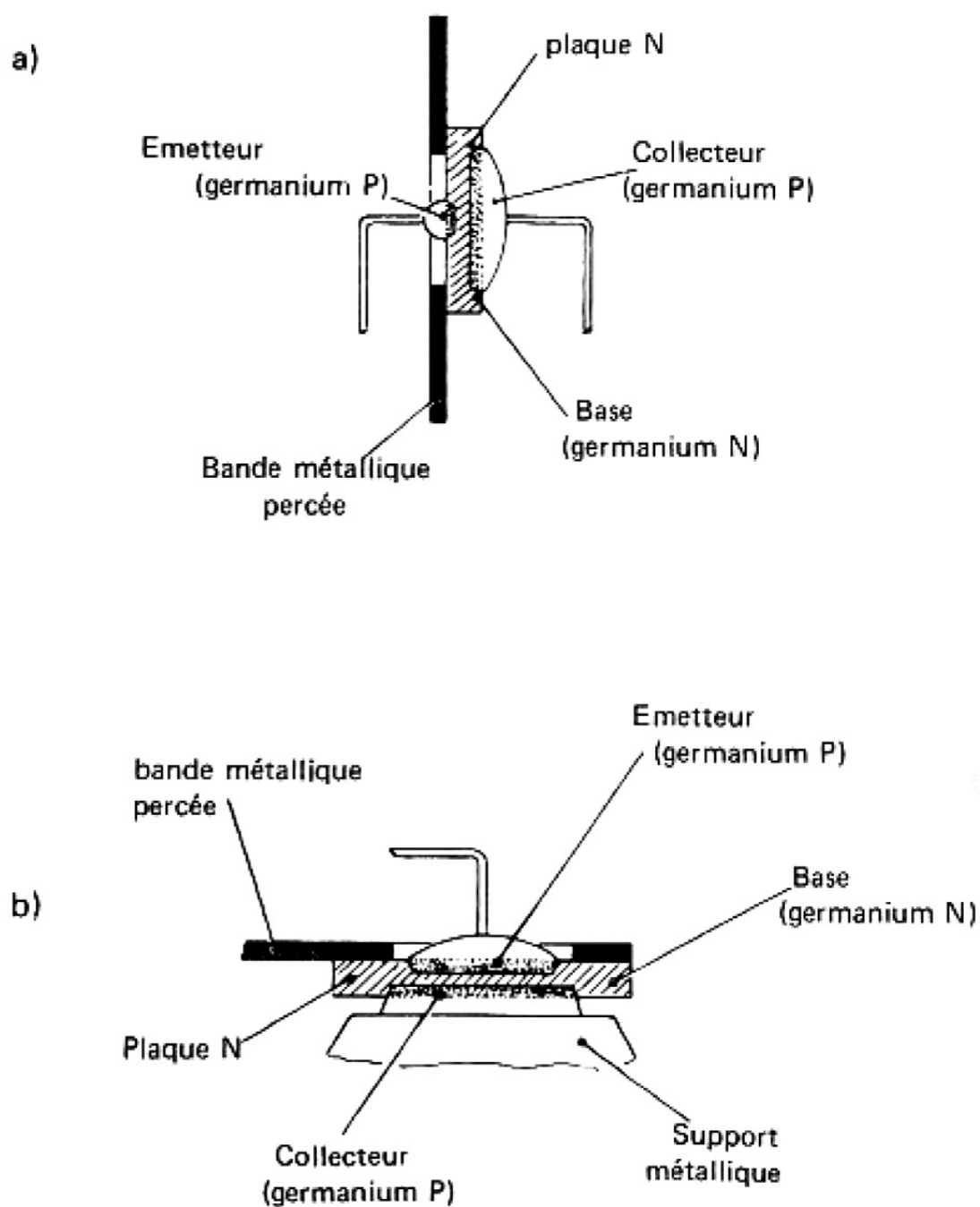
Les deux jonctions ainsi obtenues n'ont toutefois pas la même importance, comme le montre la figure 1-a.

En effet, la jonction COLLECTEUR-BASE est plus importante que la jonction EMETTEUR-BASE.

Cette différence est rendue nécessaire par le fait que la puissance en jeu dans le circuit Collecteur est supérieure à celle du circuit émetteur et que ces puissances sont en partie dissipées sur les jonctions.

La figure 1 montre la coupe de deux types de transistors à alliage.

Le premier (figure 1-a) est prévu pour fonctionner dans des étages de petite et moyenne puissance, tandis que celui de la figure 1-b est conçu pour délivrer une puissance bien supérieure. Ce dernier a des jonctions plus importantes que celui de la figure 1-a. On remarque également que son collecteur est solidaire d'un support métallique. Celui-ci est assez volumineux, de façon à favoriser la dissipation thermique.



## STRUCTURES DE TRANSISTORS A ALLIAGE

Figure 1



La plaquette de germanium N ou P est soudée à une petite bande métallique percée, de façon à permettre le passage de l'électrode d'émetteur.

La plaquette de germanium constitue alors la BASE du transistor. La liaison avec l'électrode de sortie s'effectue par l'intermédiaire de la bande métallique.

Les zones P ou N, formées sur les faces opposées de la plaquette, constituent les électrodes d'EMETTEUR et de COLLECTEUR.

Les transistors pour petite et moyenne puissance (figure 1-a) sont enfermés dans une petite enveloppe de verre peinte en noir, afin d'éviter que la lumière n'influence le fonctionnement du composant (figure 2)

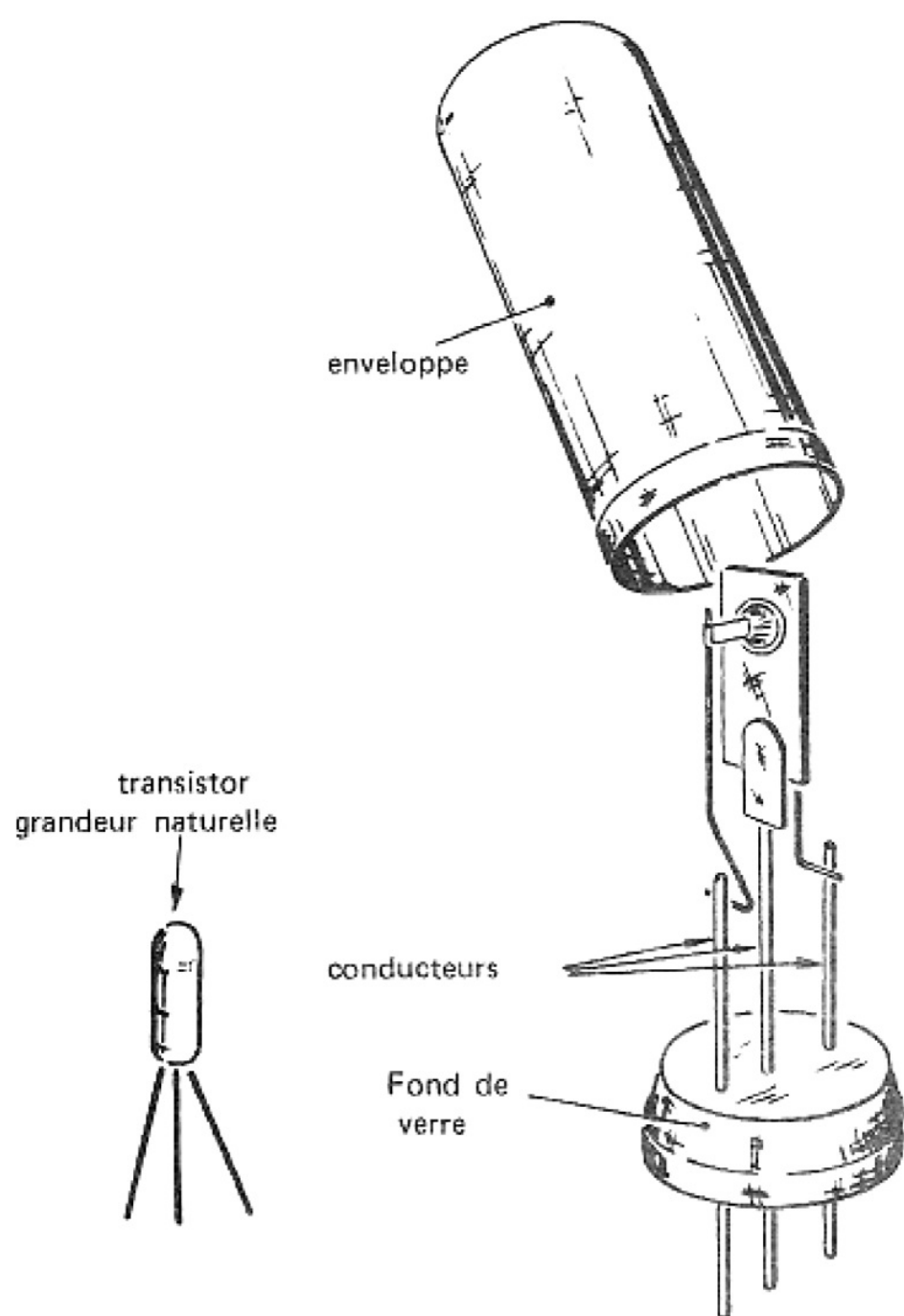
Actuellement, les constructeurs utilisent de moins en moins le verre pour la fabrication des enveloppes au profit du métal, moins coûteux, plus résistant et améliorant la dissipation Thermique.

Les jonctions sont généralement recouvertes de graisse aux silicones, dont le double rôle est de supprimer tous risques d'altération superficielle du semi-conducteur et d'absorber les éventuelles vibrations mécaniques.

La figure 3 représente la structure interne d'un transistor pour puissances plus élevées.

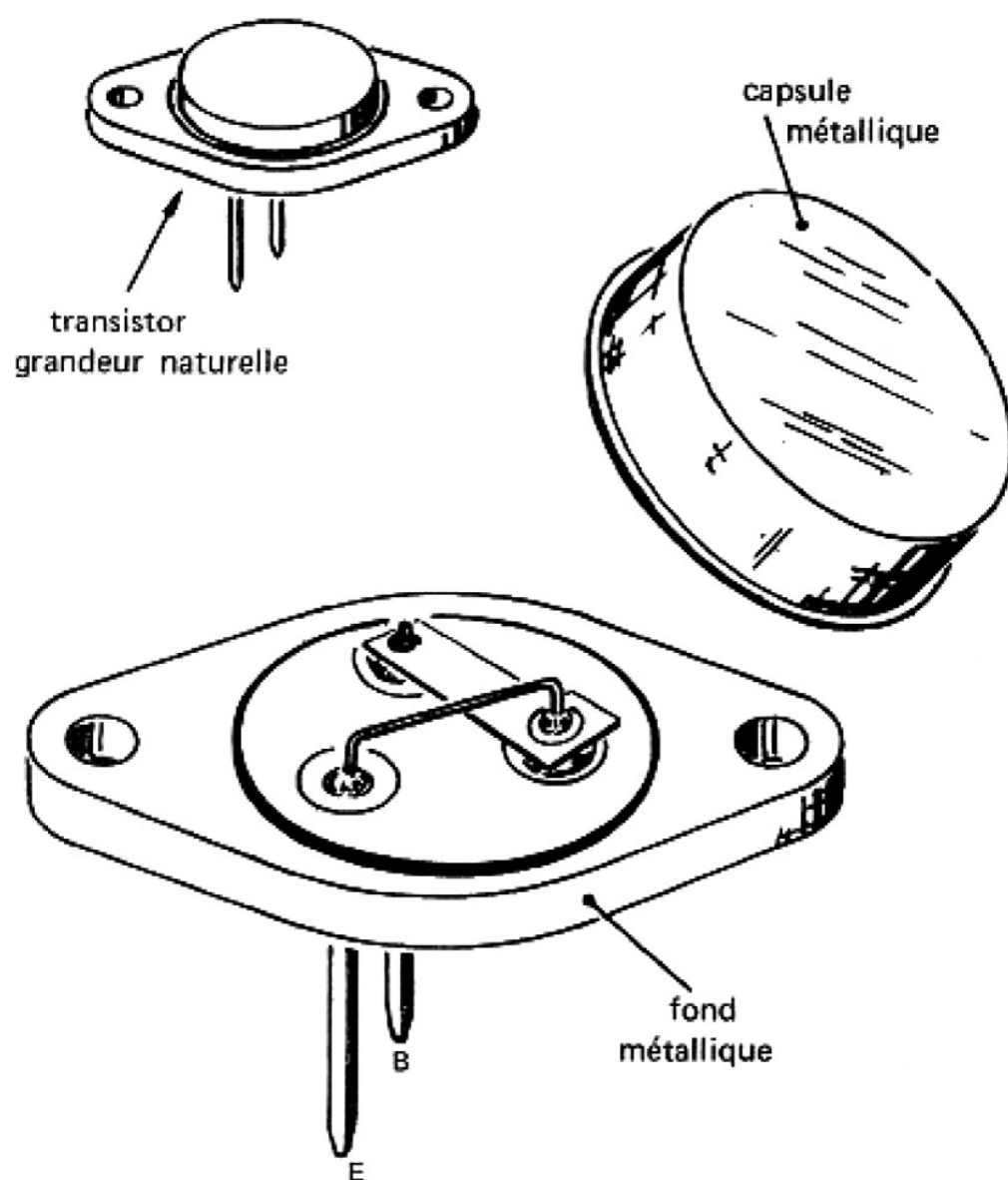
L'ensemble du support et de la capsule, forment un bloc métallique assez volumineux, capable d'assurer un refroidissement efficace.

La dissipation thermique est encore améliorée en soudant l'électrode de collecteur directement sur le support.



TRANSISTOR A JONCTIONS D'ALLIAGE POUR FAIBLES  
PUISSANCES

Figure 2



TRANSISTOR A ALLIAGE (AMPLIFICATEUR DE PUISSANCE)

Figure 3

De cette façon, ce support fait fonction de radiateur et remplace le fil de sortie (Collecteur) qui caractérise les transistors de faible puissance.

Les transistors réalisés selon la technique de la JONCTION PAR ALLIAGE ne peuvent fonctionner au dessus de 15 MHZ pour les transistors P.N.P et 30 MHZ pour les transistors N.P.N.

Pour obtenir des composants capables de fonctionner au dessus de cette limite de fréquences, il est nécessaire de recourir à d'autres procédés de fabrication.

Précisons que pour les fréquences élevées, il faut réduire le temps que mettent les TROUS, pour traverser la zone N d'un transistor P.N.P. et les ELECTRONS pour traverser la zone P d'un transistor N.P.N.

Ce temps peut être réduit en diminuant l'épaisseur de la base, donc le chemin à parcourir.

Toutefois, même avec des épaisseurs de l'ordre du millième de millimètre, les temps de passage sont encore trop longs.

Il existe alors un autre procédé, qui consiste à AUGMENTER LA VITESSE DES ELEMENTS TRAVERSANT LA BASE.

A cet effet, il faut doser opportunément la concentration des atomes d'impuretés, sur la partie superficielle de la plaquette constituant la base.

Plus précisément, le nombre des atomes d'impuretés doit être plus élevé d'un côté de la base que de l'autre. !

Ce dosage particulier s'appelle GRADATION D'IMPURETES.

Les atomes d'impuretés, en se liant dans le réseau cristallin d'un semi-conducteur, acquièrent ou perdent un électron, devenant ainsi des IONS NEGATIFS OU POSITIFS.

On comprend donc qu'avec LA GRADATION D'IMPURETES, le nombre de ces IONS augmente à mesure que l'on passe d'une face à l'autre de la plaquette.

La figure 4 montre la gradation d'impuretés dans la base d'un transistor N.P.N.

On remarque nettement que les atomes d'impuretés sont plus nombreux du côté de l'émetteur que du côté collecteur.

Cette plus forte concentration d'atomes d'impuretés sur le côté émetteur, entraîne de ce même côté une plus forte concentration de CHARGES NEGATIVES par rapport au collecteur.

Il se produit donc entre ces deux faces, une DIFFERENCE DE POTENTIEL  $V_G$  (figure 4).

Celle-ci a pour effet d'ACCELERER la vitesse des éléments (TROUS ou ELECTRONS) traversant la base.

Ce phénomène est appelé EFFET DRIFT (terme provenant du mot anglais "drift" signifiant "pousser").

La gradation d'impuretés est toujours obtenue par la technique de jonction par DIFFUSION.

Cette technique consiste à exposer le semi-conducteur préalablement chauffé, à certaines vapeurs de matériaux d'impuretés.

En choisissant judicieusement la température du semi-conducteur exposé aux vapeurs d'impuretés, il est possible de provoquer une DIFFUSION, permettant d'obtenir une zone N ou P nettement distincte.

D'autre part, en réglant la température et la durée de la DIFFUSION, on peut non seulement obtenir la GRADATION D'IMPURETES, mais aussi une base très mince.

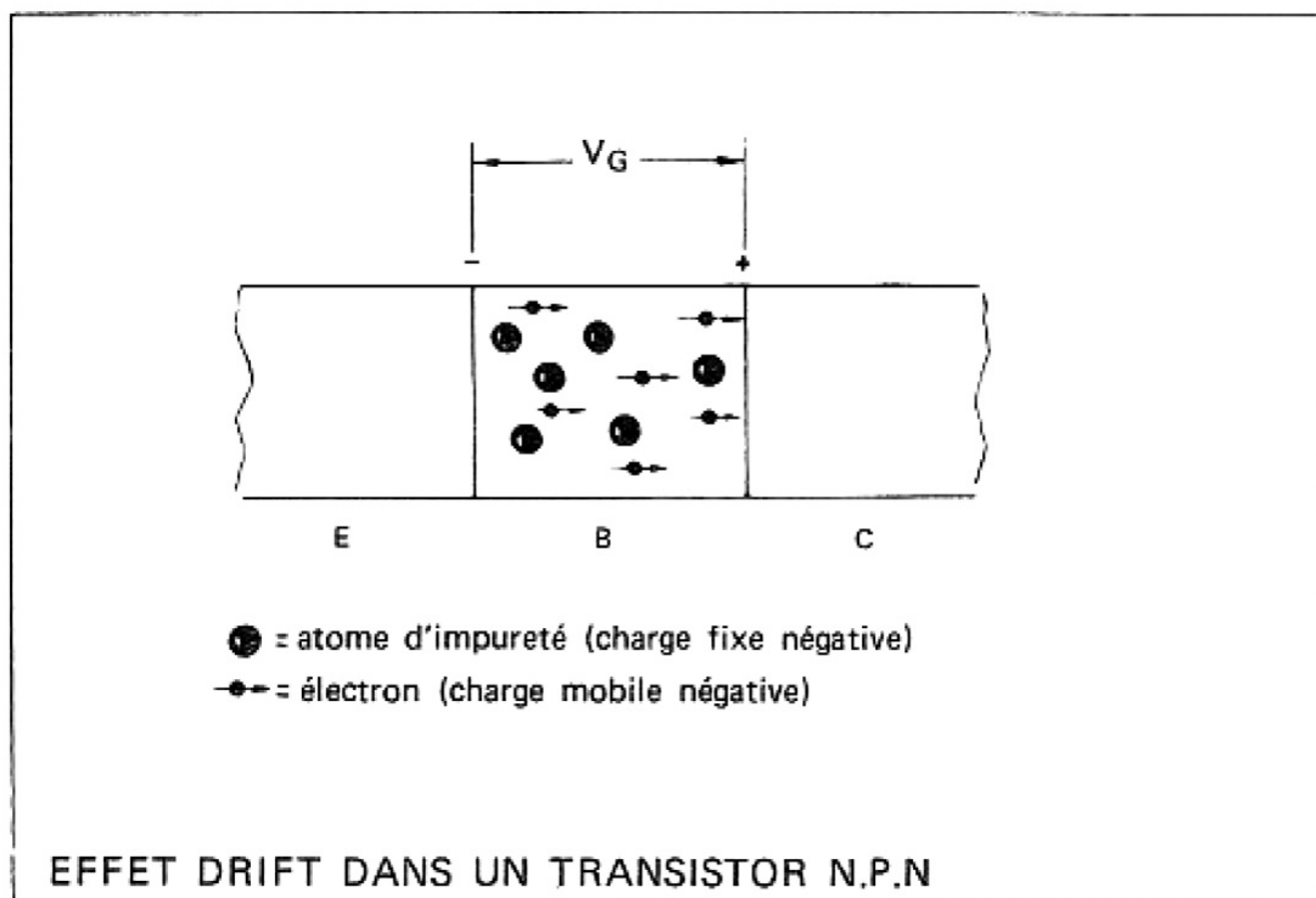


Figure 4

## II - TRANSISTORS A JONCTIONS DE DIFFUSION.

La figure 5 montre la structure interne d'un transistor réalisé par la technique mixte de DIFFUSION et D'ALLIAGE.

Ces transistors sont appelés M.A.D.T. sigle venant de l'américain (MICRO ALLOY DIFFUSED BASE TRANSISTOR) signifiant TRANSISTOR à micro-alliage dont la base est obtenue par diffusion.



Ce type de transistor est fabriqué à partir de pastilles, extraites d'un cristal de germanium P.

Ces pastilles sont exposées aux vapeurs d'impuretés, de façon à former une couche N, suffisamment profonde.

Chaque pastille est ensuite divisée en un certain nombre de plaquettes et sur chacune de celles-ci, on dispose deux doses de matériaux d'impuretés, nettement séparées les unes des autres.

L'une des doses est constituée par un corps qui en pénétrant dans la couche N, rend cette dernière partiellement de type P.

L'autre dose est constituée par un corps, n'altérant en rien les caractéristiques fondamentales du semi-conducteur N.

En chauffant les matériaux d'impuretés jusqu'à leur température de fusion, il se forme sur la couche N, deux processus d'alliage.

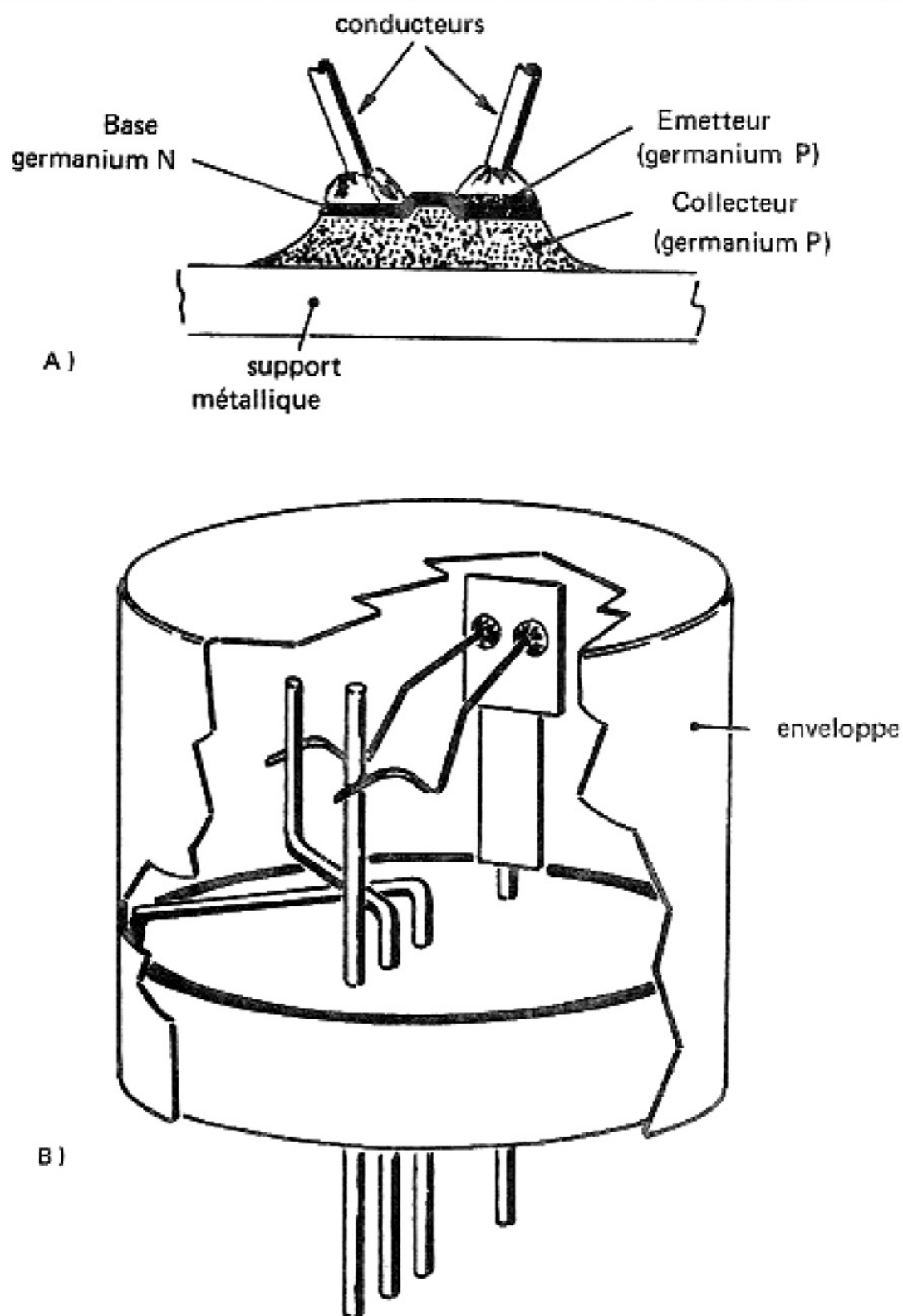
L'un, relatif au premier type de matériau, engendre la formation d'une couche P sur la couche N de diffusion.

L'autre, relatif au second type de matériau, permet d'obtenir le contact électrique grâce à la liaison externe de la couche N.

Chaque plaquette est ensuite découpée, de façon à obtenir la forme représentée figure 5-a.

L'ensemble est ensuite introduit dans une enveloppe de protection, remplie de graisse aux silicones, pour les raisons étudiées précédemment (figure 5-b).

Ce procédé de fabrication a toutefois été complètement abandonné pour une certaine catégorie de transistors. En effet, pour ces derniers, on utilise exclusivement le procédé par diffusion.



TRANSISTOR A DIFFUSION ET ALLIAGE (M.A.D.T)

Figure 5

Avec cette méthode, on obtient les structures fondamentales illustrées figure 6.

La figure 6-a représente la section d'un transistor à DOUBLE DIFFUSION, dit type MESA.

Ce nom est inspiré du profil de ces transistors, qui rappelle un peu les hauteurs typiques du désert Californien, désignés par le mot espagnol "mesa" signifiant "table". Ces hauteurs sont effectivement formées de parois latérales plus ou moins raides et d'une superficie plane assez étendue.

La structure de la figure 6-b rappelle également le profil de ces hauteurs mais diffère de la précédente par la matière du semi-conducteur utilisé (silicium et non germanium), par la succession des couches (NPN au lieu de PNP) et surtout par la subdivision du collecteur en deux zones superposées (l'une à haute résistivité et l'autre à faible résistivité).

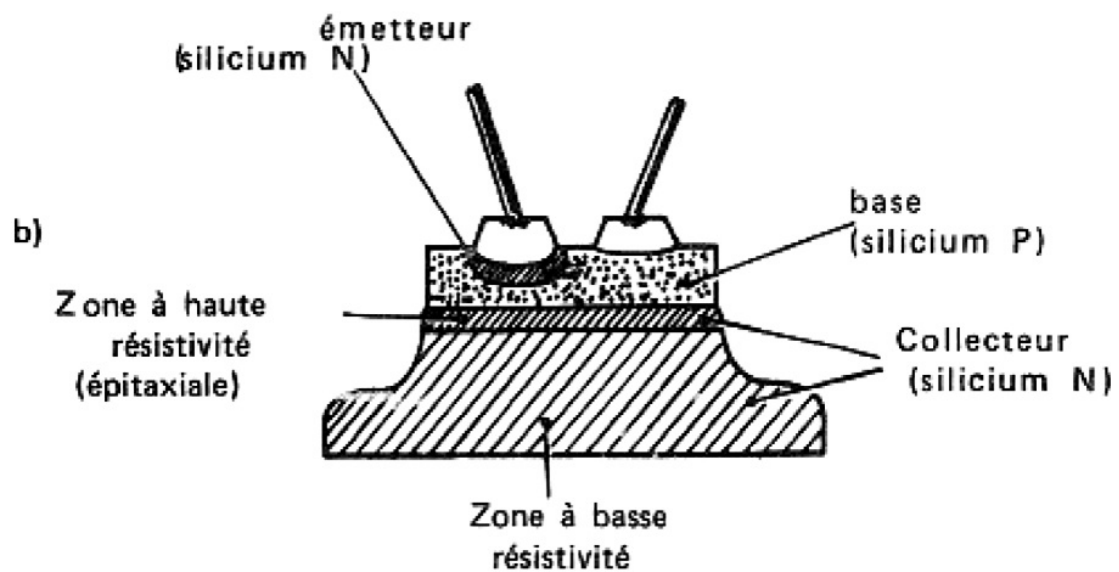
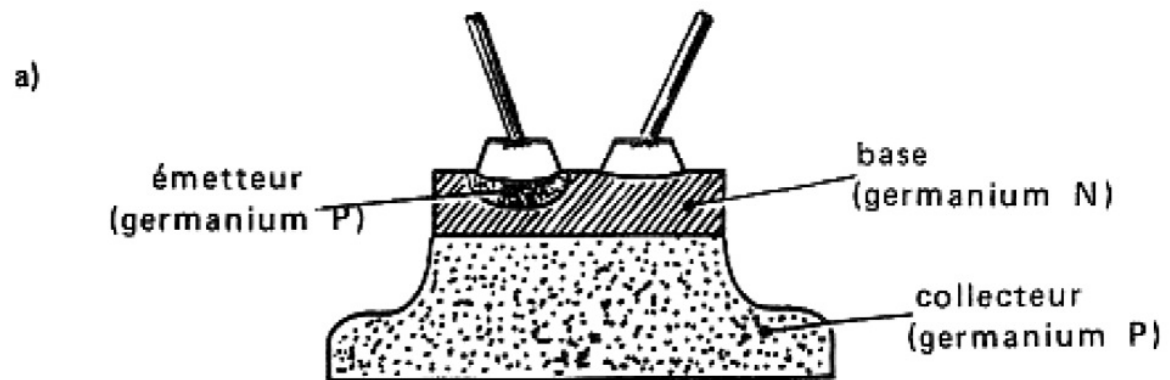
Cette subdivision est adoptée pour réduire la résistance de collecteur et par conséquent la chute de tension et la dissipation de puissance qui en résulte.

La couche à haute résistivité, située au contact de la base est appelée COUCHE EPITAXIALE.

Cette dernière s'obtient en déposant sur une pastille de semi-conducteur à basse résistivité, une couche d'un autre semi-conducteur de même type, MAIS BEAUCOUP MOINS DOPES.

Le dépôt doit se former très lentement et dans des conditions de température aptes à permettre la croissance régulière du cristal sur le réseau de la pastille.

Examinons enfin une autre méthode de fabrication, connue sous le nom de TECHNIQUE PLANAR.



### TRANSISTORS A DOUBLE DIFFUSION (MESA-EPITAXIALE)

Figure 6

Les opérations relatives à cette technique sont résumées en trois phases principales, illustrées figure 7.

La première phase consiste à oxyder toute la superficie d'une plaquette de semi-conducteur, de façon à obtenir une protection contre les actions physiques et chimiques (figure 7-a).

Une plaquette de cette taille est prévue pour assurer la fabrication d'un certain nombre de transistors. Toutefois, et ceci pour faciliter la compréhension, la figure 7-a représente la partie utilisée pour un seul transistor.

Sur l'une des faces de la pastille, on supprime par un moyen chimique, une partie de l'oxyde, de façon à découvrir le semi-conducteur d'origine.

Au stade de la fabrication, on ouvre autant de "fenêtres" qu'il y a de transistors à fabriquer dans une même plaquette.

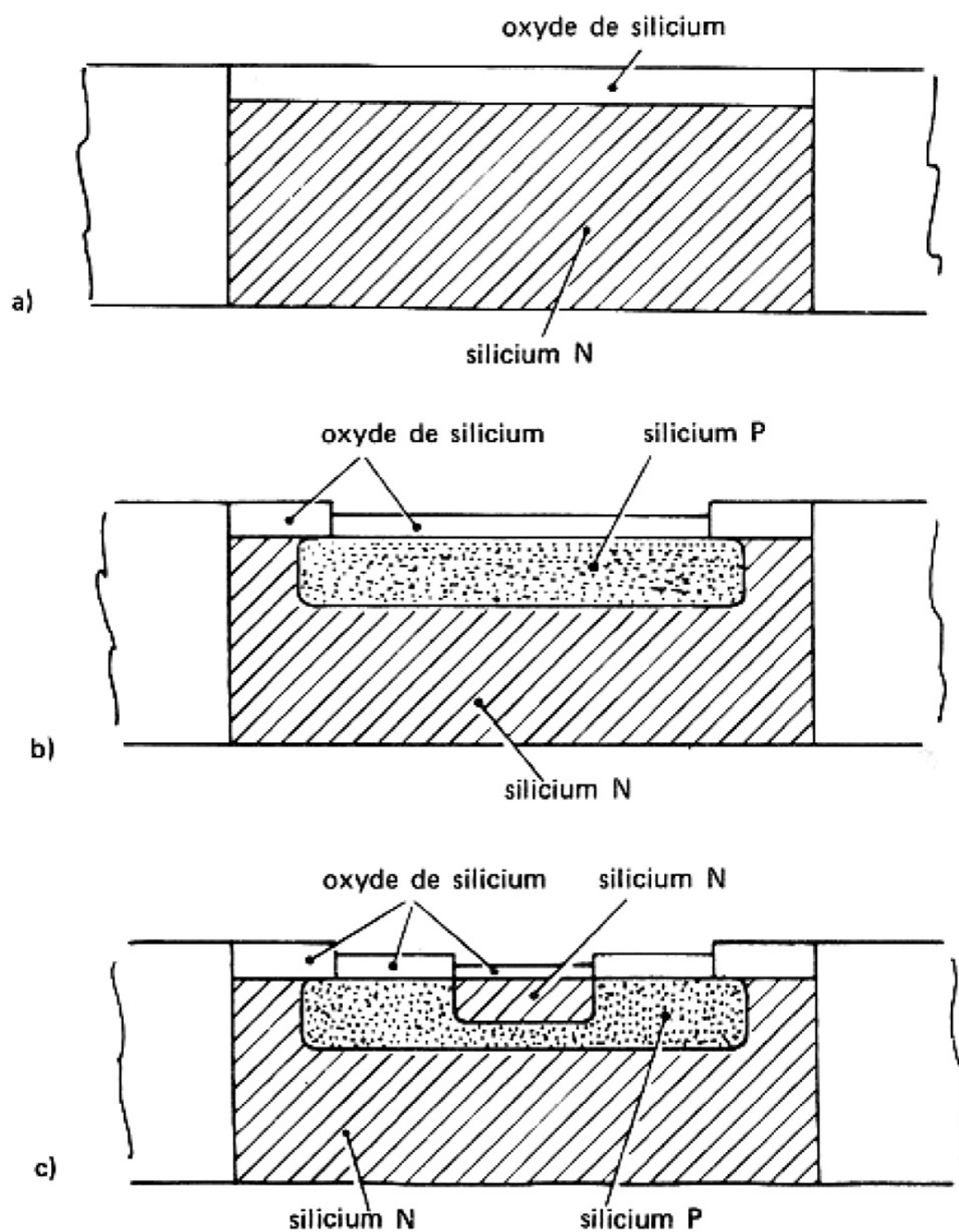
A travers chaque fenêtre, on forme par le procédé de DIFFUSION, une nouvelle zone après quoi, on oxyde à nouveau la surface découverte (figure 7-b).

Au centre de cette surface, on supprime une nouvelle fois l'oxyde par un moyen chimique, de façon à ouvrir une nouvelle fenêtre, plus restreinte que la précédente.

A travers cette dernière, on forme (toujours par le procédé de diffusion) une nouvelle zone, contenue à l'intérieur de celle formée précédemment.

La diffusion terminée, on oxyde de nouveau toute la surface découverte (figure 7-c).

Au terme de ces différentes opérations, on obtient donc TROIS ZONES SUPERPOSEES.



LA TECHNIQUE PLANAR

Figure 7



L'une est constituée par le semi-conducteur d'origine (silicium N inférieur), la seconde est formée par la première diffusion (silicium P) et la troisième est formée par la seconde diffusion (silicium N supérieur).

Les trois zones superposées forment un transistor, dont la structure fondamentale est montrée figure 8.

La technique PLANAR est adoptée pour la fabrication des transistors à double diffusion de types MESA et MESA-EPI-TAXIALE.

Cette technique très avantageuse, permet d'obtenir un grand nombre de transistors à la fois et d'épaisseur extrêmement réduite (jusqu'à  $1/10^0$  de mm).

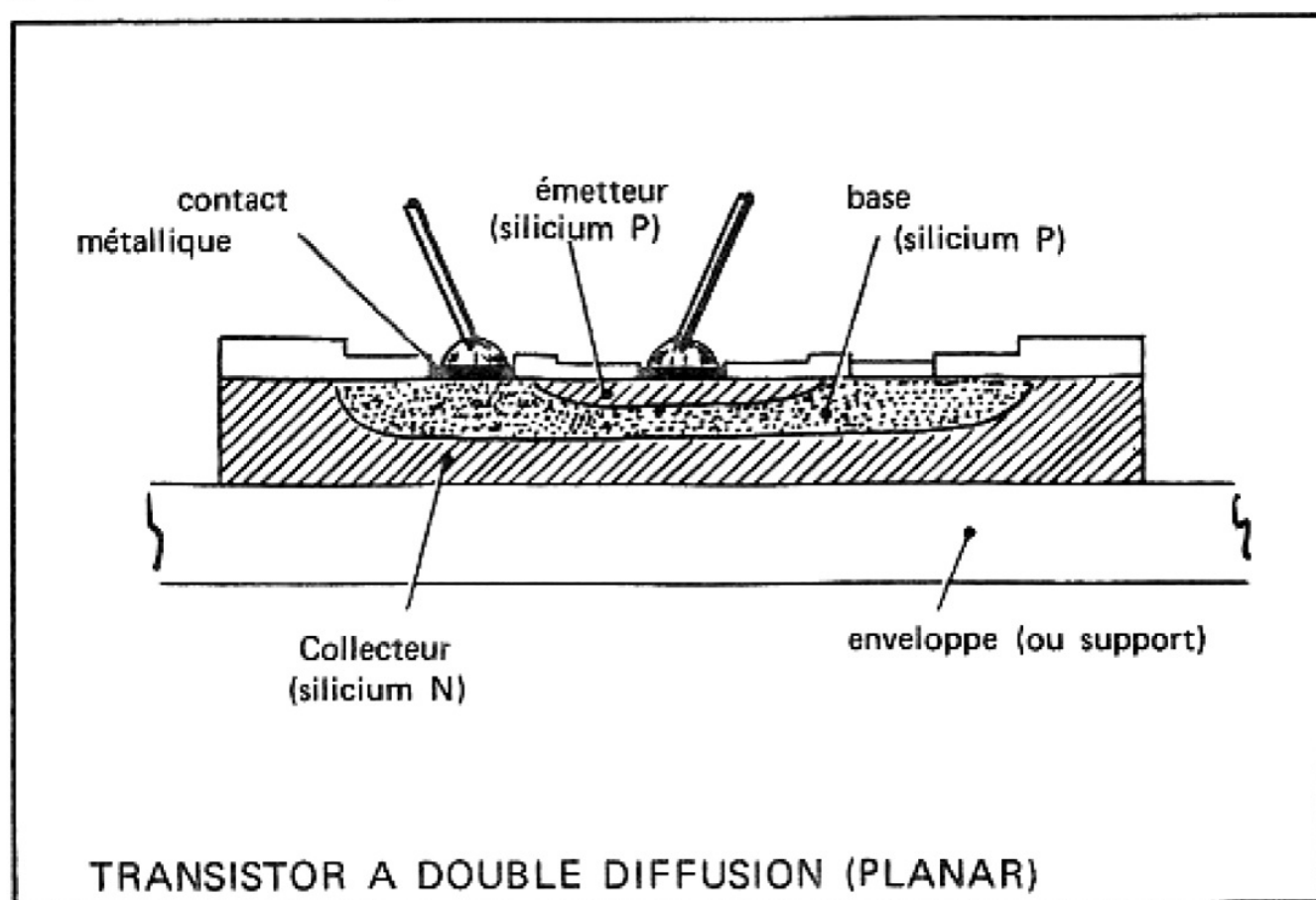


Figure 8

### III - TRANSISTORS A EFFET DE CHAMP.

Les transistors à EFFET DE CHAMP, sont désignés par l'abréviation anglo-saxonne F.E.T. (field effect transistor).

Les transistors F.E.T. diffèrent complètement des types étudiés jusqu'ici, à tel point que même les électrodes ont une appellation spéciale.

En effet, lorsqu'il s'agit d'un transistor normal, l'EMETTEUR correspond à l'électrode à partir de laquelle part le flux de charge (électrons ou trous), le collecteur l'électrode recueillant ce flux et la BASE l'électrode permettant de contrôler celui-ci.

Dans un transistor F.E.T. l'électrode à partir de laquelle le flux de charge est émis s'appelle SOURCE, l'électrode recevant ce flux est appelée DRAIN et enfin l'électrode permettant le contrôle du flux est appelée PORTE.

La figure 9 représente la structure schématique d'un transistor F.E.T.

Ce dispositif est constitué par un bloc de silicium dans lequel on a introduit des impuretés, de façon à obtenir un semi-conducteur du type N.

On applique aux extrémités de ce bloc deux plaques conductrices, dont l'une représente la SOURCE et l'autre le DRAIN.

Sur les côtés du bloc, on forme ensuite deux zones de type P, constituant la PORTE (figure 9).

Ainsi, entre ces deux zones de type P, un canal de type N s'étend de la SOURCE au DRAIN.

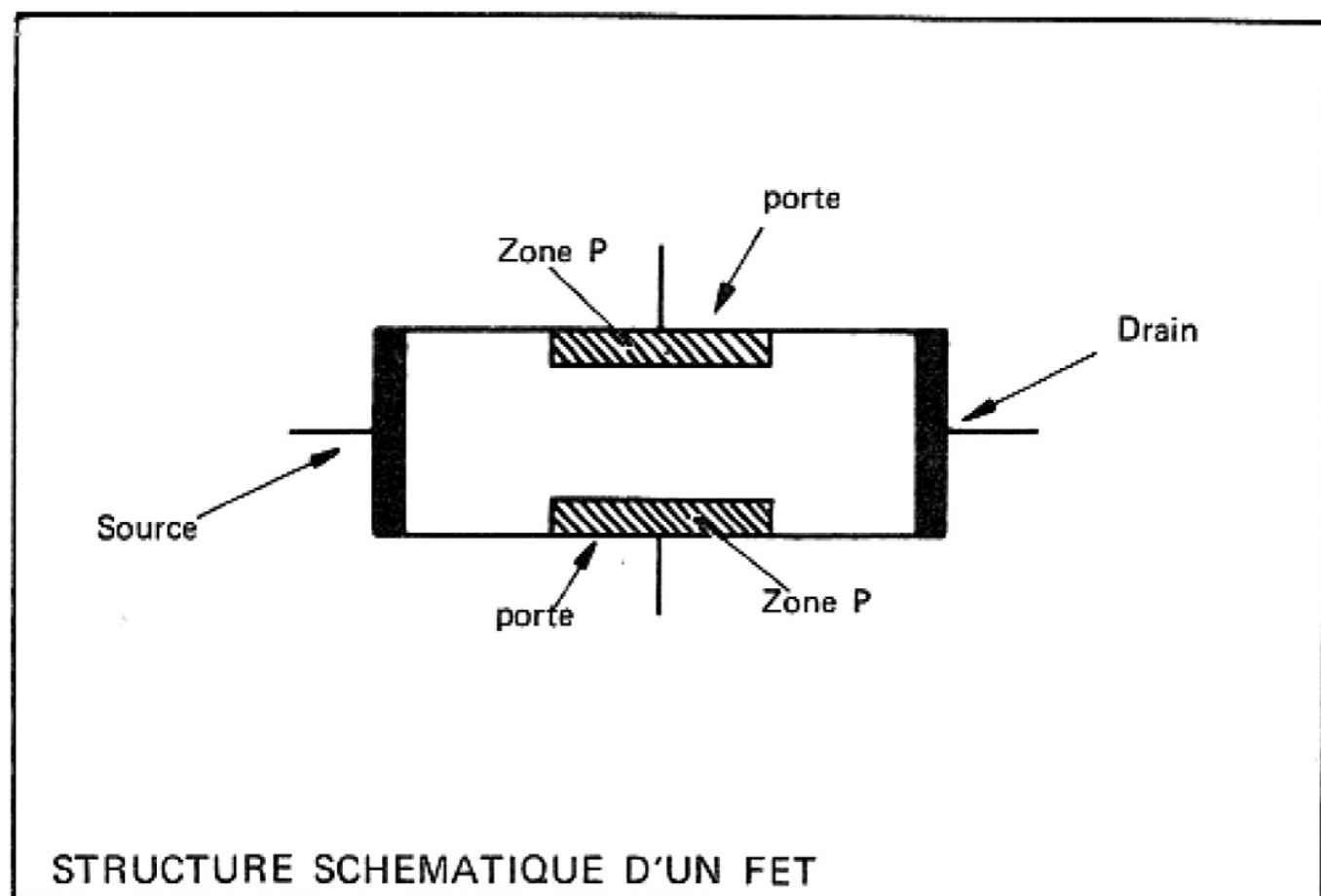


Figure 9

Le bloc comprend ainsi DEUX JONCTIONS P.N.

Supposons que l'on applique une tension entre la SOURCE et le DRAIN, au moyen d'une batterie reliée entre ces deux électrodes (figure 10).

La porte reste libre pour l'instant.

Dans ces conditions, le bloc de silicium se comporte comme on l'a vu précédemment en traitant les problèmes de conduction dans un semi-conducteur de type N.

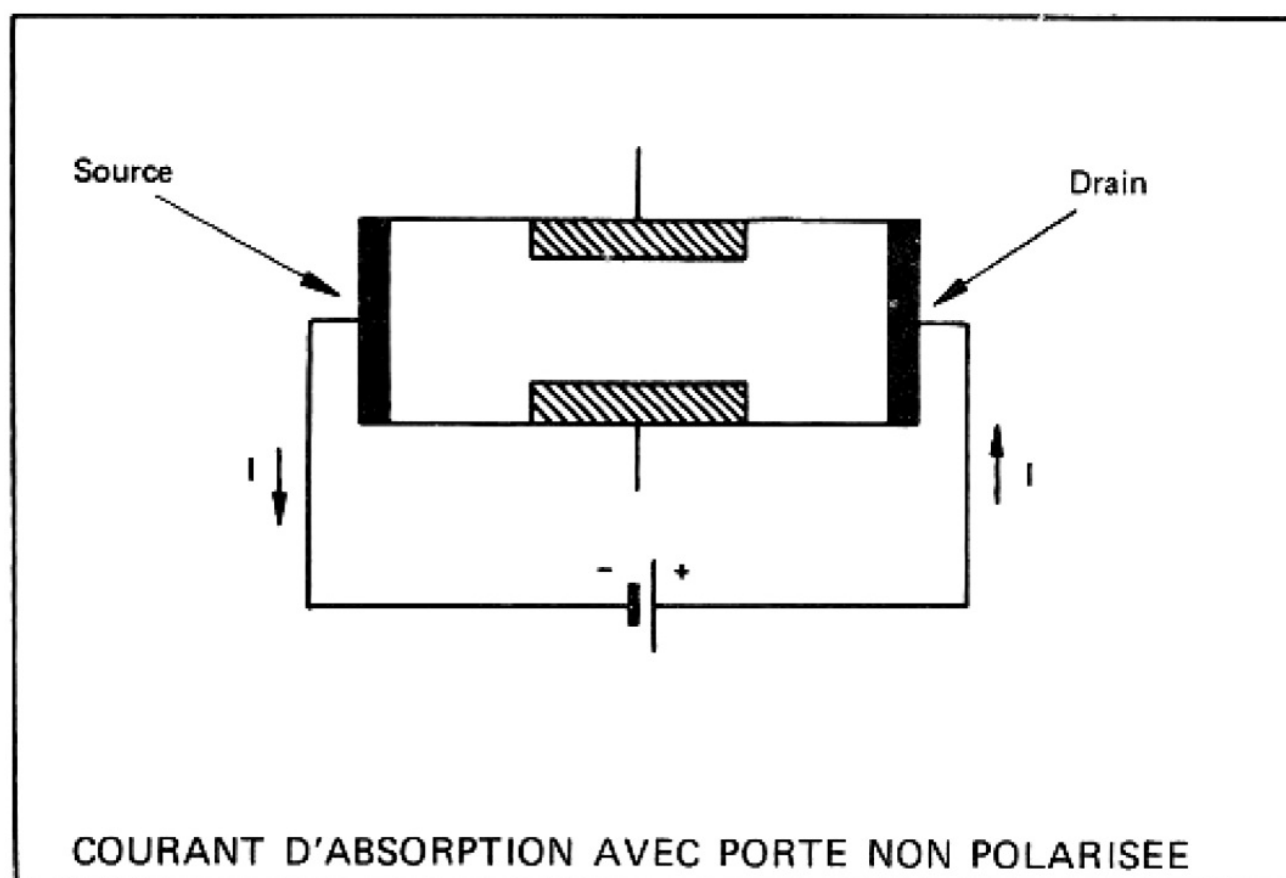


Figure 10

Les PORTEURS MAJORITAIRES (électrons), passent de la SOURCE (négative) au DRAIN (positif), créant dans le circuit extérieur un COURANT D'ABSORPTION qui selon le sens conventionnel, se trouve dirigé dans le sens de la flèche montrée figure 3.

L'intensité de ce courant dépend de la résistance que les électrons rencontrent le long du canal, allant de la SOURCE au DRAIN. Ainsi, en diminuant la largeur du canal on a une augmentation de résistance étant donné que la section est plus réduite.

Il est possible, électriquement, de réduire le courant c'est-à-dire augmenter la résistance du canal, en POLARISANT LA PORTE DANS LE SENS INVERSE, par rapport à la SOURCE.

A cet effet il suffit de relier une batterie entre les deux zones P, comme indiqué figure 11.

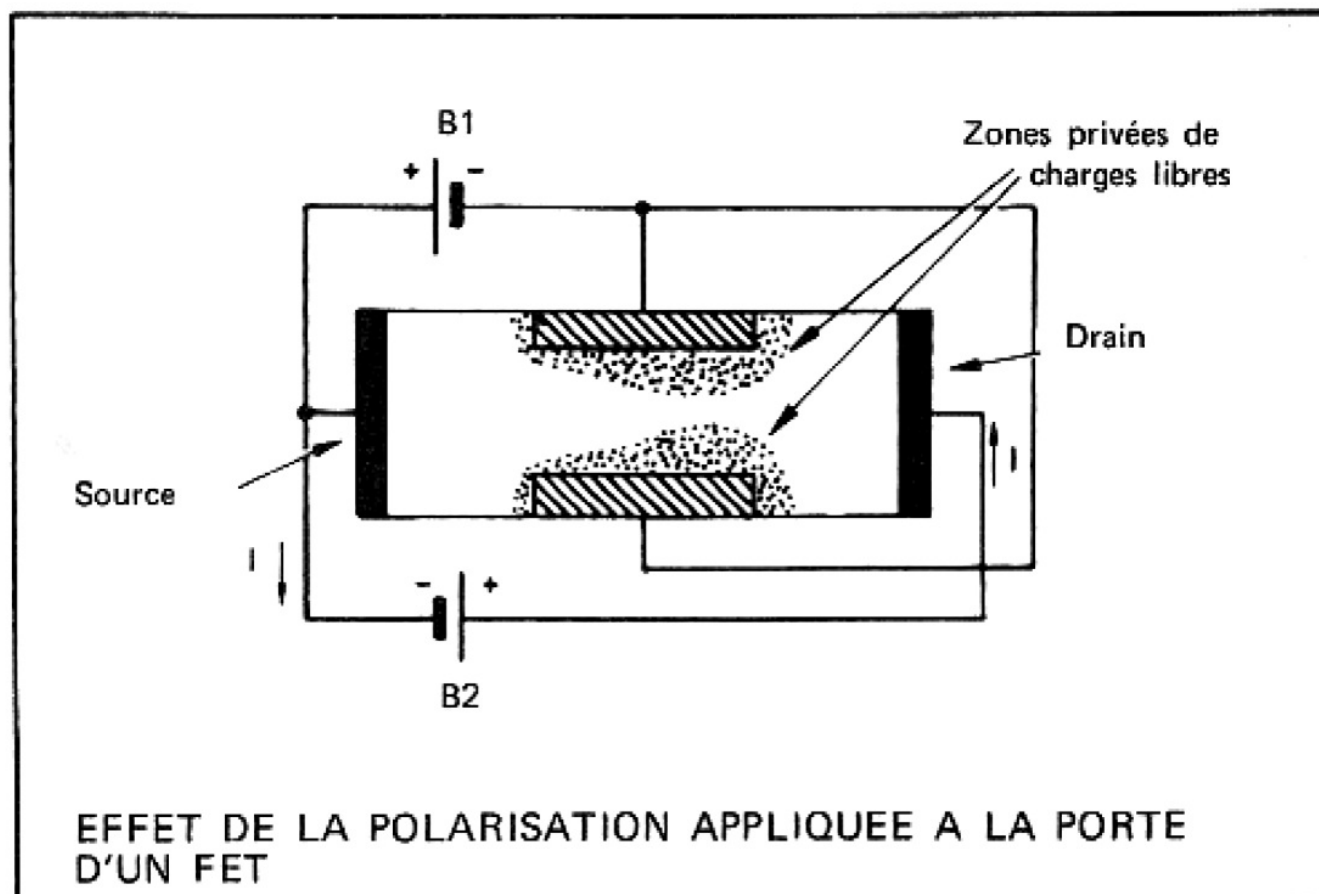


Figure 11

On remarque que les deux zones de type P constituant la porte, sont reliées directement entre elles et connectées au négatif de la batterie B1.

Le positif de cette même batterie est relié à la SOURCE (figure 11).

Sous l'effet de la polarisation inverse, il se forme à proximité des jonctions une zone privée de charges libres, DONC UNE ZONE OU LE COURANT NE PEUT CIRCULER.

La figure 11 illustre ce phénomène.

En effet, le rétrécissement du canal entraîne une augmentation de la résistance, augmentation ayant pour conséquence de réduire l'INTENSITE DU COURANT D'ABSORPTION.

Comme l'amplitude des zones privées de charges libres dépend de la valeur de la tension de polarisation de la PORTE, on comprend que LORSQUE CETTE TENSION VARIE, L'INTENSITE DU COURANT D'ABSORPTION VARIE EGALEMENT.

Il est même possible, en augmentant la tension de polarisation inverse, de BLOQUER COMPLETEMENT LE CANAL, c'est-à-dire d'interrompre totalement la circulation du courant d'absorption.

La valeur de la tension pour laquelle se produit ce phénomène est appelée TENSION D'INTERDICTION.

Ainsi les TRANSISTORS F.E.T., tout comme les TUBES ELECTRONIQUES, PERMETTENT DE CONTROLER UN COURANT AU MOYEN D'UNE TENSION. Ce contrôle de courant ne nécessite aucune dépense de puissance.

En effet, la tension de contrôle étant appliquée entre la PORTE et la SOURCE, (de façon à polariser en sens inverse la jonction située entre les deux zones P et la zone N) ne donne lieu qu'au seul passage du COURANT INVERSE, très faible.

De cette façon, LA RESISTANCE D'ENTREE des transistors F.E.T. atteint des valeurs de l'ordre de 10 000 M $\Omega$ , valeurs beaucoup plus élevées que celles des transistors courants.



Ainsi, les F.E.T. unissent donc aux propriétés des transistors ordinaires, l'avantage des tubes électroniques, c'est-à-dire une résistance élevée.

Pour ces composants, il est évidemment possible de relever les courbes caractéristiques, parmi lesquelles LA FAMILLE DES CARACTERISTIQUES D'ABSORPTION, ayant pour paramètre la tension  $V_{PS}$  (tension appliquée entre la PORTE et la SOURCE) nous intéresse particulièrement.

Appliquons une tension  $V_{PS}$  de valeur déterminée entre la PORTE et la SOURCE et faisons varier la tension  $V_{AS}$  (tension présente entre le drain et la source) et pour chaque valeur de celle-ci, mesurons le courant d'absorption  $I_A$ .

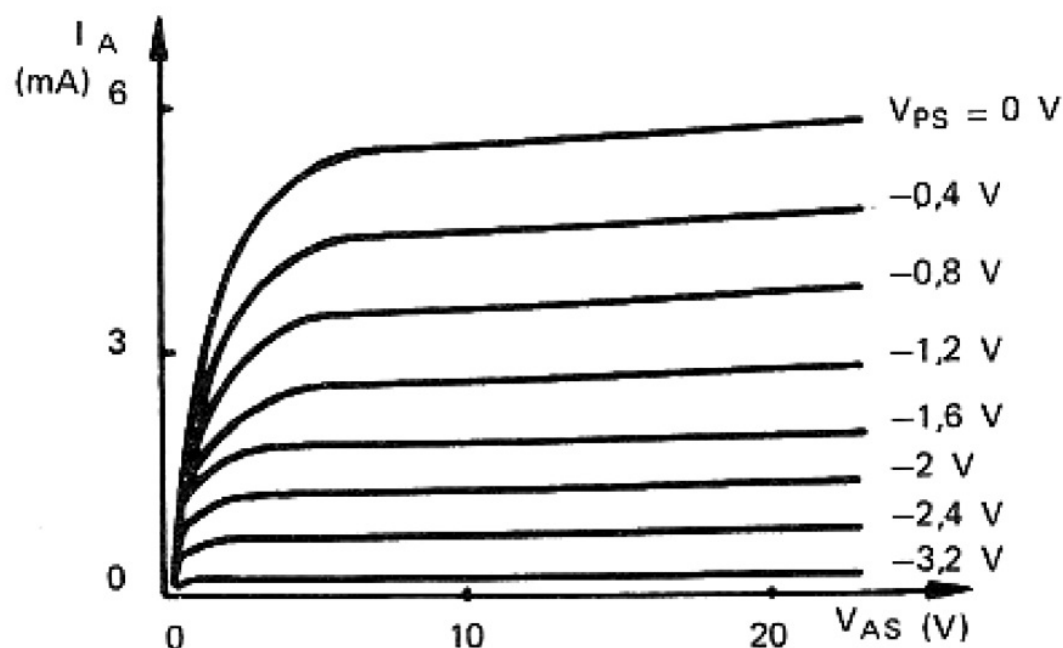
On trouve ainsi les données nécessaires pour tracer sur un diagramme Cartésien, une première caractéristique d'absorption. Il est également possible d'obtenir d'autres caractéristiques en donnant diverses valeurs à la tension  $V_{PS}$  et en trouvant pour chacune d'elles les valeurs prises par le courant  $I_A$ , lorsque la tension  $V_{AS}$  varie.

La figure 12 donne un exemple d'une famille de caractéristiques de courant d'absorption.

On remarque plus particulièrement qu'à partir d'un certain point, le courant d'absorption  $I_A$  n'augmente plus sensiblement, même si la tension  $V_{AS}$  continue à croître.

Afin de mieux comprendre le motif de ce comportement, reportons-nous à la figure 11.

On remarque en effet que les ZONES PRIVEES DE CHARGES LIBRES, n'ont pas une extension constante le long de la PORTE, mais par contre, celles-ci sont beaucoup plus larges du côté du DRAIN.



CARACTERISTIQUES D'ABSORPTION D'UN FET

Figure 12

Cette répartition des zones est due au fait que la tension présente entre la PORTE et la SOURCE, augmente à mesure qu'elle s'approche du DRAIN, en raison de la chute de tension se produisant le long du canal, sous l'effet du courant circulant de la SOURCE au DRAIN.

Or, comme nous l'avons vu, l'augmentation de cette zone réduit le canal c'est-à-dire augmente la résistance, ce qui réduit le courant.

On comprend ainsi que le courant d'absorption ne puisse augmenter indéfiniment, car à partir d'une certaine valeur, son accroissement détermine un rétrécissement du canal, limitant l'intensité de ce courant.

La structure du F.E.T. montrée figure 11 est essentiellement schématique. En effet, son but est de visualiser le principe de fonctionnement de cet élément.

La conception exacte du transistor F.E.T. est donnée figure 13.

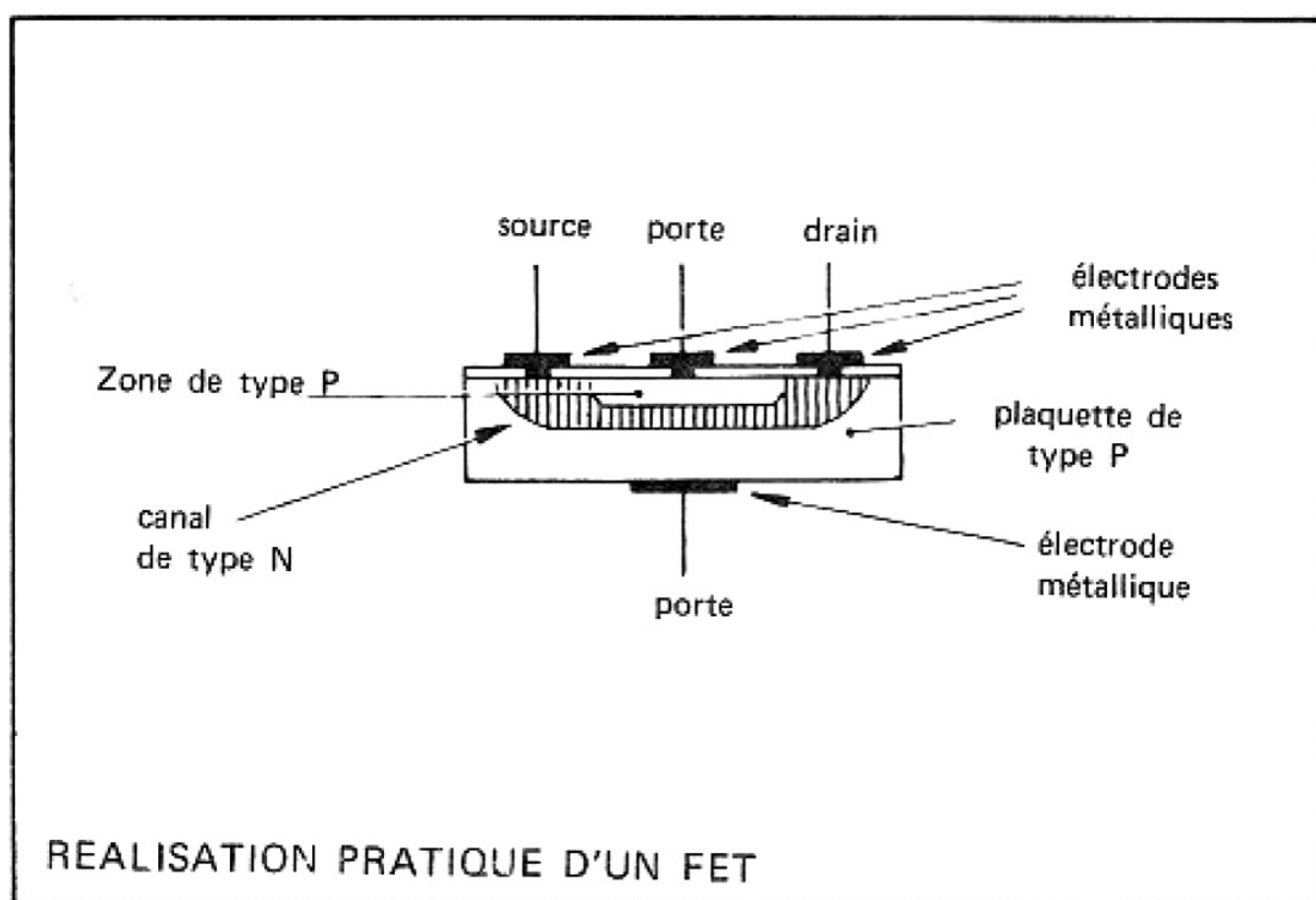


Figure 13

La plaquette du type P, sur laquelle ont été effectuées les différentes opérations, constitue les zones P de la porte. Ces dernières, ainsi que la zone N située entre les portes, sont pourvues d'électrodes métalliques destinées au branchement du composant.

Jusqu'ici, nous n'avons considéré que les F.E.T. constitués par un canal de type N situé entre deux zones de type P.

Pour ceux-ci, le courant circulant entre la SOURCE et le DRAIN est constitué d'ELECTRONS.

Cependant, on fabrique également des F.E.T. à canal P, dont la porte est constituée de deux zones N.

Le courant est alors formé de TROUS. Le fonctionnement ne diffère en rien de celui des F.E.T. à canal N.

Bien entendu, le F.E.T. à canal P, nécessite des tensions de polarités inverses par rapport à celles du F.E.T. à canal N.

Il est encore possible d'AUGMENTER LA VALEUR DE LA RESISTANCE D'ENTREE en réalisant des transistors dont la structure et le fonctionnement différent du F.E.T. à jonctions.

Ce nouveau type de transistor désigné par l'abréviation MOS F.E.T. présente la particularité d'avoir la PORTE ISOLEE par rapport au canal.

L'abréviation MOS F.E.T. provient des termes anglo-saxons "METALL OXIDE SEMI-CONDUCTOR, FILD EFFECT TRANSISTOR" signifiant TRANSISTOR A EFFET DE CHAMP, METAL OXYDE SEMI-CONDUCTEUR.

Les trois derniers mots indiquent la structure particulière de ce transistor que nous allons décrire.

Le MOS F.E.T. (montré figure 14) est réalisé sur une plaque de silicium de type P, sur un côté de laquelle on forme par diffusion des zones de type N à fort dopage.

Sur ce même côté, on dépose une très fine couche isolante de BIOXYDE DE SILICIUM, obtenue par évaporation.

Cette couche isolante ne couvre pas toute la surface, car au moment de la déposition du bioxyde, on laisse les deux zones N découvertes, de façon à pouvoir y disposer les électrodes métalliques, dont l'une constitue la SOURCE et l'autre le DRAIN.

Enfin, sur la surface de la couche de bioxyde de silicium comprise entre les deux zones P, on ajoute une couche d'aluminium, constituant la PORTE.

Celle-ci se trouve évidemment isolée par rapport à la substance semi-conductrice, au moyen de la couche de bioxyde interposée.

Les trois mots "métal, oxyde, semi-conducteur" dont nous avons parlé, indiquent précisément la succession des divers éléments correspondant à la PORTE.

En effet, en se reportant à la figure 14, on rencontre de haut en bas :

- l'aluminium (métal)
- le bioxyde (oxyde)
- le silicium P (semi-conducteur)

Le fonctionnement du MOS F.E.T. est le suivant :

En appliquant une tension entre la PORTE et la SOURCE, de façon à rendre la première positive par rapport à la seconde, la PORTE se trouve positive par rapport à la plaquette de silicium P.

Par conséquent, les charges mobiles positives de silicium P sont repoussées vers l'intérieur de la plaquette, alors que les charges mobiles négatives de la source sont attirées en surface.

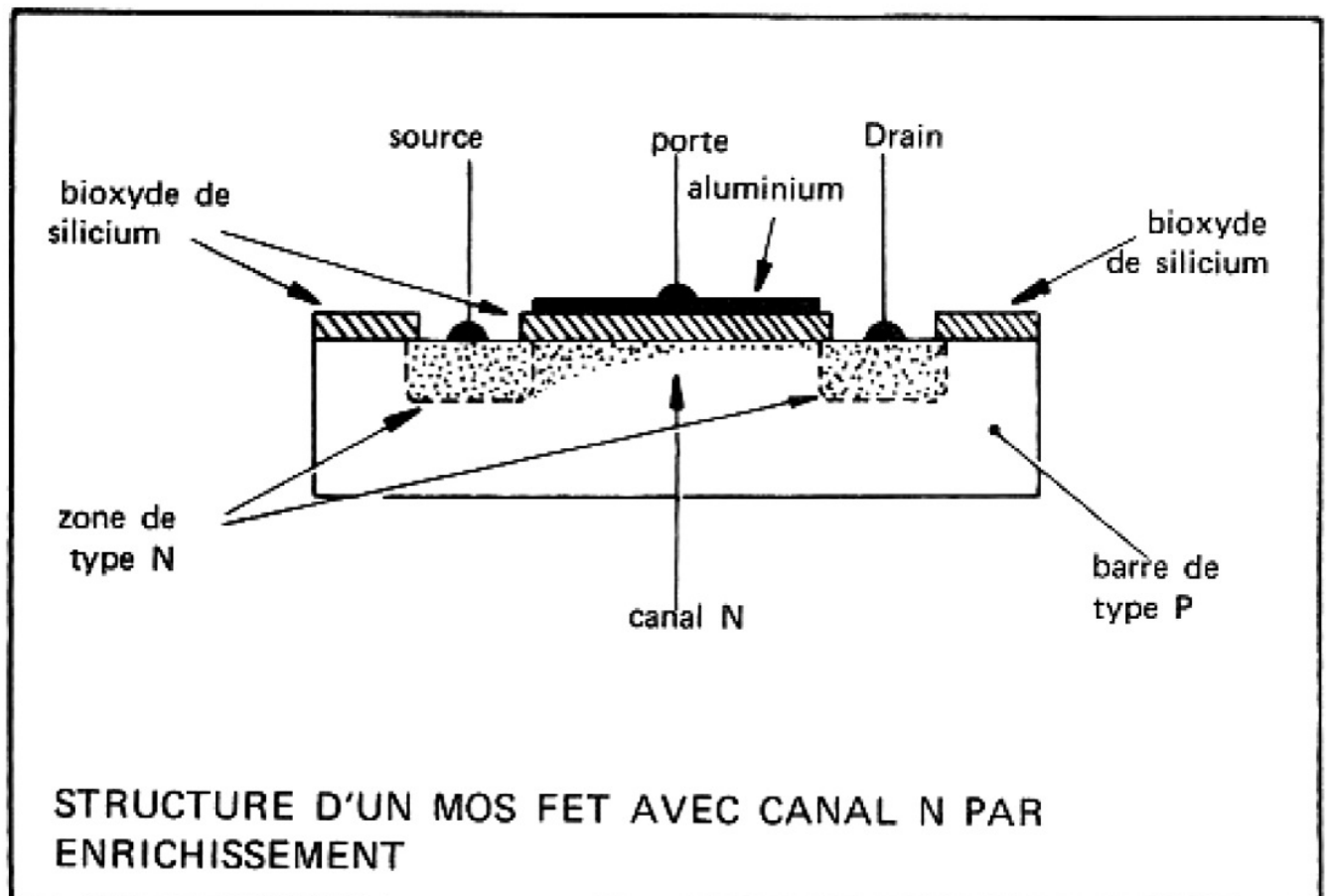


Figure 14

Plus précisément, sur la surface de la plaquette relative à la couche de bioxyde de silicium située sous la porte, il se forme une couche de charges mobiles négatives, établissant une liaison entre la SOURCE et le DRAIN et formant un canal N, comme le montre la figure 14.

Ce canal présente une certaine résistance, que l'on peut réduire en augmentant la tension appliquée à la porte.

Sous l'effet de la tension, le nombre des électrons présents dans le canal augmente.



D'autre part, en appliquant une tension adéquate entre le DRAIN et la SOURCE, on obtient un COURANT D'ABSORPTION, dû aux électrons du canal reliant les deux électrodes.

On peut faire varier l'intensité de ce courant, en modifiant la valeur de la tension appliquée entre la PORTE et la SOURCE.

Bien que la porte soit maintenant positive par rapport à la SOURCE, elle n'est parcourue par aucun courant étant donné que la couche de bioxyde de silicium l'isole totalement du canal.

Par conséquent, la RESISTANCE D'ENTREE DU MOS F.E.T. atteint des valeurs de l'ordre du MILLIARD DE MEGOHMS.

En fait, la porte et la plaquette du semi-conducteur du MOS F.E.T., étant réciproquement isolées au moyen de la couche de bioxyde de silicium, se comportent comme les deux armatures d'un condensateur.

La tension de contrôle crée un champ électrique entre ces deux électrodes, champ ayant une influence sur le nombre des électrons présents dans le canal.

AINSI IL EST POSSIBLE DE CONTROLER LE COURANT D'ABSORPTION.

Les transistors du type que nous venons d'étudier sont dits à "effet de champ" précisément par le fait que le contrôle du courant d'absorption, s'effectue en utilisant l'effet produit par un champ électrique.

Dans les transistors ordinaires par contre, le contrôle du courant collecteur est obtenu à l'aide d'un autre courant.

Les F.E.T. MOS peuvent fonctionner de deux façons différentes : soit par ENRICHISSEMENT soit par RAREFACTION, suivant le type de construction adopté.

Lorsque le MOS F.E.T. est constitué par un canal N, situé entre deux zones de type N fortement dopées, alors que la PORTE s'étend le long du canal tout entier (figure 14), le fonctionnement se fait par ENRICHISSEMENT.

En effet, en rendant la PORTE positive par rapport à la SOURCE, on enrichit le canal d'électrons, réduisant ainsi la résistance entre la SOURCE et le DRAIN.

Dans ce cas, si la tension appliquée à la porte est nulle, le nombre des électrons présents dans le canal est très petit et le courant d'absorption pratiquement nul.

Les MOS F.E.T. fonctionnant par enrichissement présentent un inconvénient : capacité très importante entre PORTE et plaquette du semi-conducteur.

Cette capacité peut être réduite, en utilisant une porte qui ne couvre qu'une partie du canal (figure 15).

Cette solution présente toutefois l'inconvénient de provoquer une très haute résistance dans la partie du canal n'étant pas enrichie d'électrons.

On remédie à cet inconvénient par un dopage adéquat, permettant d'obtenir un canal de basse résistance, même lorsque la tension appliquée à la porte est nulle.

On arrive ainsi à un MOS F.E.T., dont le CANAL, la SOURCE et le DRAIN sont constitués par le même matériau de type N (la SOURCE et le DRAIN étant cependant plus fortement dopés) et dont le fonctionnement s'effectue par RAREFACTION.

Dans ce cas, en appliquant à la PORTE une tension négative, celle-ci repousse les électrons du canal, produisant une zone de rarefaction des charges (figure 15).

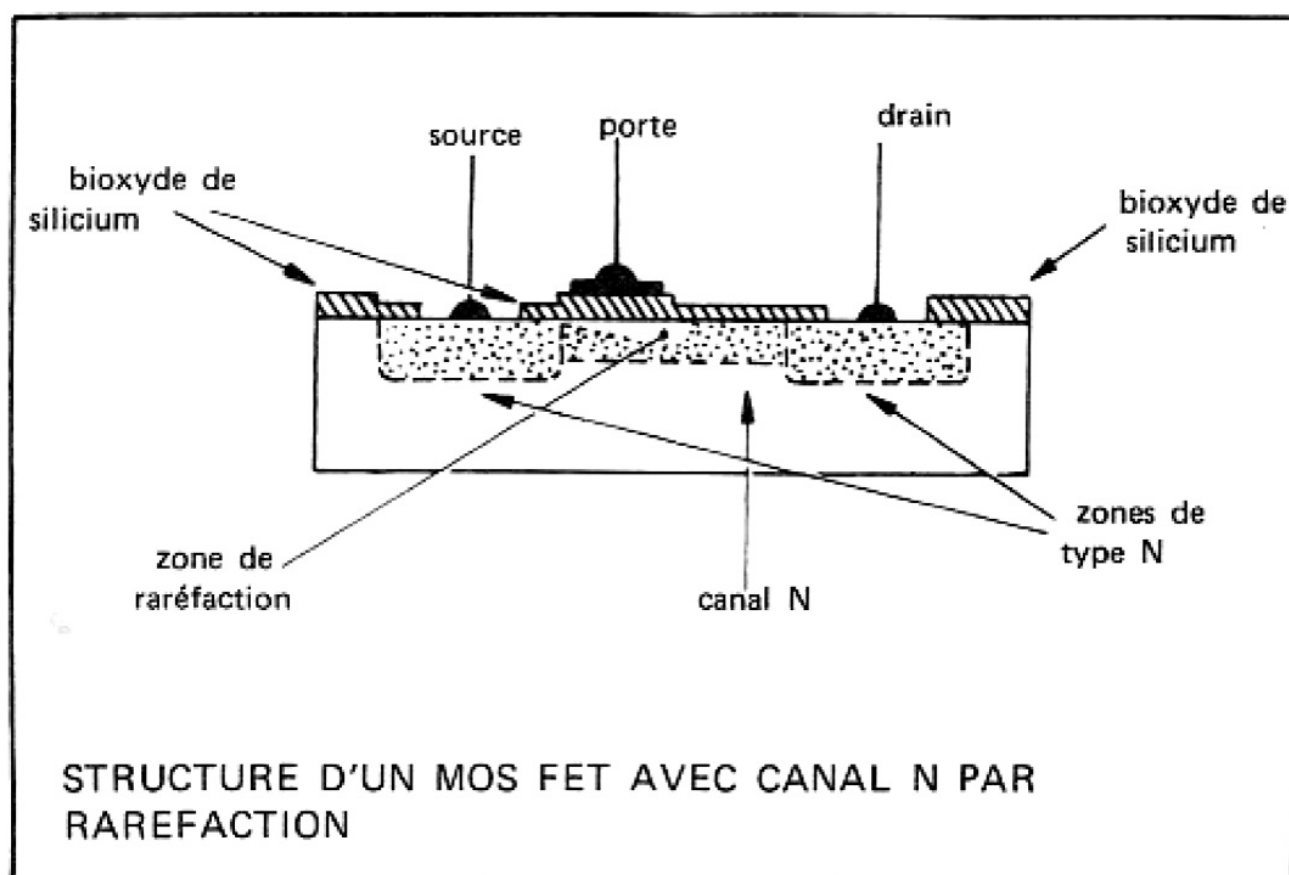


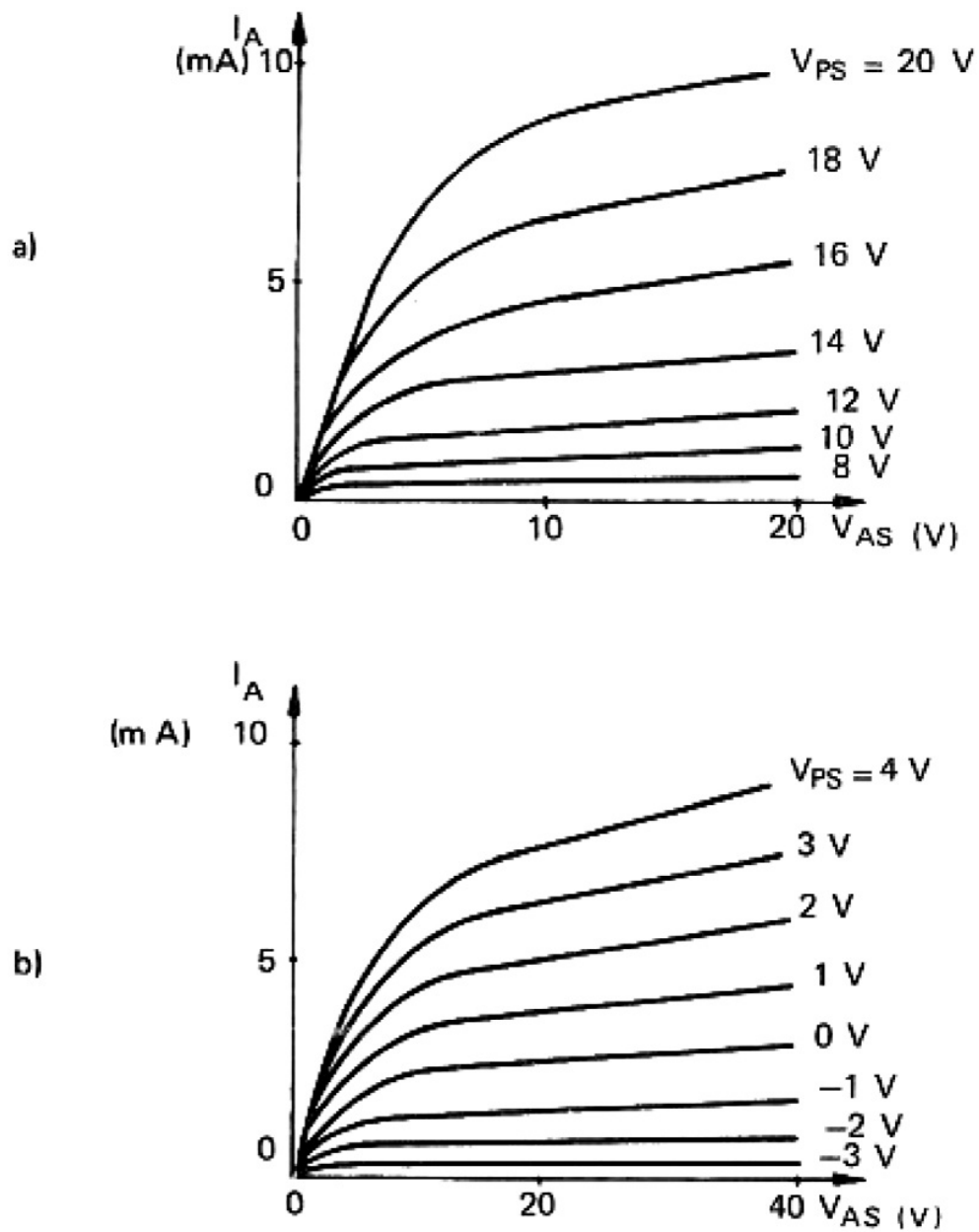
Figure 15

Par conséquent, le courant d'absorption s'annule uniquement lorsque la tension négative appliquée à la porte atteint une valeur suffisante pour déterminer le "blocage" du canal.

Les caractéristiques du courant d'absorption d'un MOS F.E.T. du type à enrichissement, diffèrent de celles d'un MOS F.E.T. à rarefaction, surtout en ce qui concerne les valeurs de la tension appliquée entre la PORTE et la SOURCE.

La figure 16 met en évidence la différence qui caractérise ces deux types.

Dans le cas du type à enrichissement (figure 16-a) les tensions  $V_{PS}$  sont des valeurs exclusivement positives, comprises entre 8 et 20 volts.



CARACTERISTIQUES DE MOS-FET AVEC CANAL N PAR ENRICHISSEMENT ET PAR RAREFACTION

Figure 16

Pour le type à raréfaction (figure 16-b) ces mêmes tensions sont négatives ou positives et comprises entre -3V et +4V.

Soulignons que les MOS F.E.T. peuvent aussi être réalisés avec un canal P. Dans ce cas, les observations faites précédemment au sujet du F.E.T. à jonction restent valables.

#### IV - TRANSISTOR UNIJONCTION.

Le transistor UNIJONCTION doit son nom au fait qu'il ne comporte qu'une seule jonction.

Ce type de transistor est souvent repéré par le sigle U.J.T. de l'anglais "UNIJONCTION TRANSISTOR".

Cette propriété permet des emplois particuliers, parmi lesquels on peut citer les générateurs d'impulsions, nécessaires à la commande des thyristors (transistors de commutation dont nous étudierons les caractéristiques dans une prochaine leçon).

Pour comprendre le fonctionnement d'un transistor UNI-JONCTION, il faut examiner sa structure en se reportant à la figure 17-a. La figure 17-b représente le symbole schématique adopté pour la représentation de l'U.J.T.

Ce composant est principalement constitué d'une BARRETTE DE SILICIUM N, aux extrémités de laquelle sont disposés deux contacts, appelés PREMIERE BASE (B1) et DEUXIEME BASE (B2).

Ces contacts sont du type purement ohmique, c'est-à-dire qu'entre eux et la barrette de silicium, IL N'EXISTE AUCUNE JONCTION.

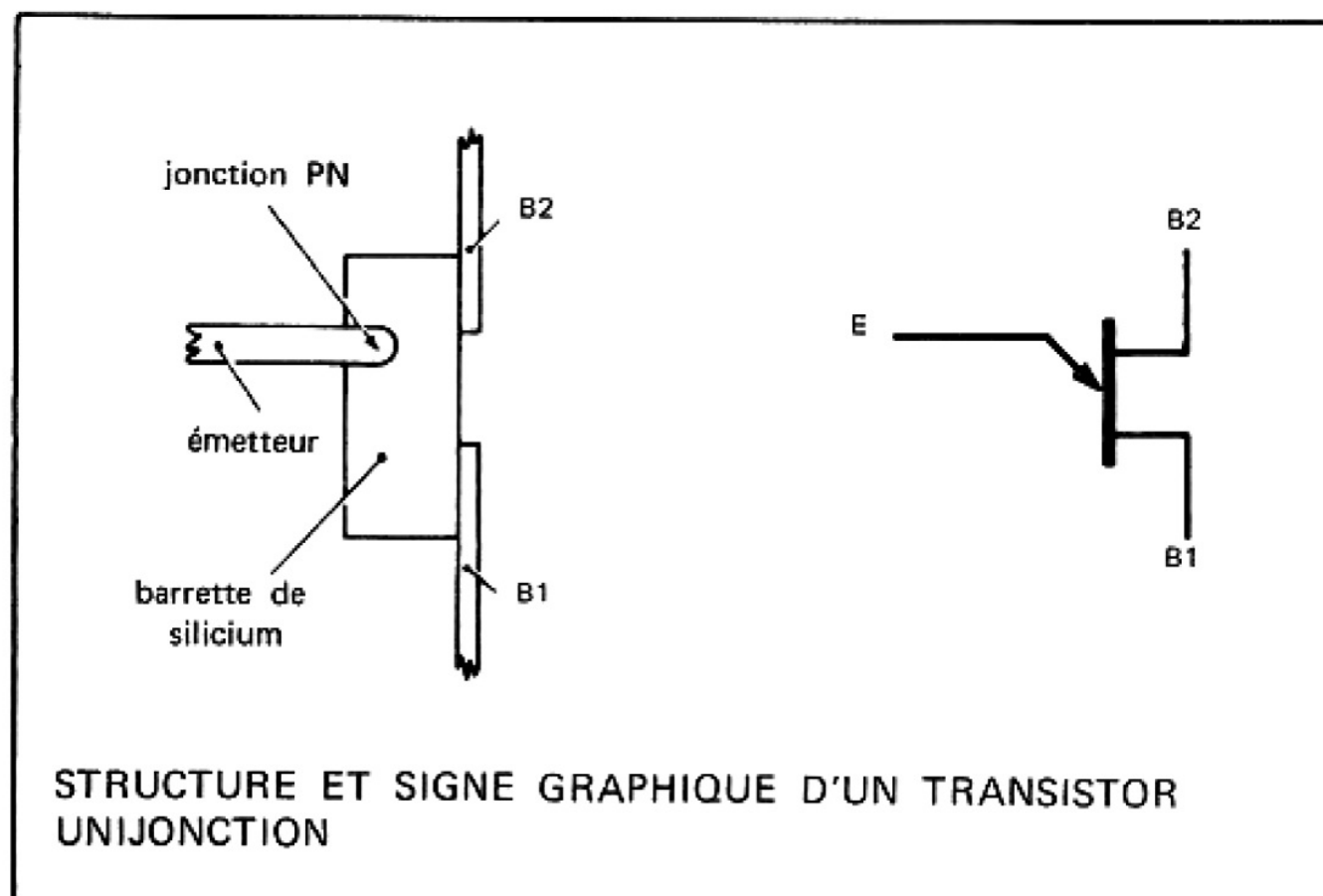


Figure 17

L'unique jonction P.N. se trouve entre la barrette et l'électrode E, correspondant à l'EMETTEUR.

Cette électrode se trouve placée plus près de la deuxième base que de la première, comme on peut le voir figure 17-a.

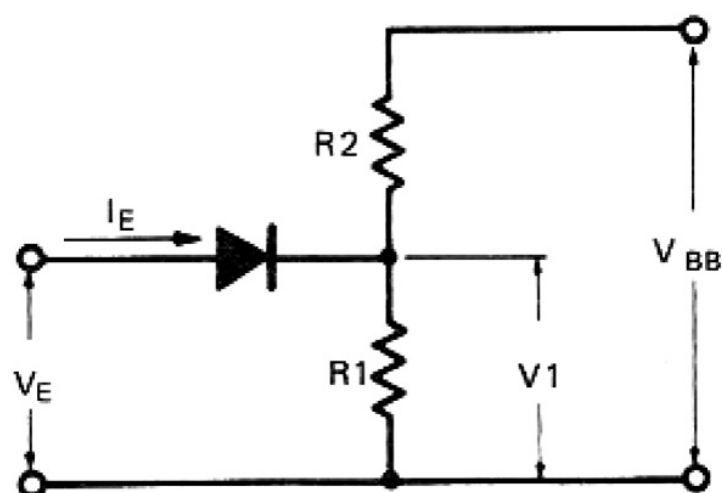
La barrette de silicium N, possède les caractéristiques normales d'une résistance et sa valeur est comprise entre 5  $\Omega$  et 10 k  $\Omega$ .

On applique une tension  $V_{BB}$  entre les deux bases, de façon à rendre la seconde positive par rapport à la première.

Sous l'effet de cette tension, la BARRETTE DE SILICIUM N est parcourue par un courant, constitué d'électrons, se dirigeant de la première base vers la seconde.

Sous l'effet de cette résistance présentée par la barrette, le courant produit une chute de tension dans celle-ci.

Pour bien voir comment s'effectue la répartition de la tension le long de la barrette, on représente le transistor comme indiqué figure 18.



PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR  
UNIJONCTION

Figure 18

Au moyen des résistances R1 et R2, on insère la résistance du silicium entre la PREMIERE BASE et l'EMETTEUR et entre ce dernier et la SECONDE BASE.

Sur la figure 18, on indique par V1 la chute de tension aux bornes de R1 (tension présente sur la cathode de la diode).

En appliquant sur l'anode, une tension VE inférieure à V1, la diode est polarisée dans le sens inverse et le courant ne peut circuler.

Par contre, si VE a une valeur supérieure à V1, la diode est polarisée dans le sens direct; dans ce cas, un courant d'émetteur  $I_E$ , circule dans le sens indiqué figure 18.

CE COURANT EST ESSENTIELLEMENT CONSTITUE DE TROUS SE DIRIGEANT DE LA BARRETTE VERS LA PREMIERE BASE.

Ces trous sont l'équivalent des électrons présents dans la zone comprise entre l'émetteur et la première base, zone où se produit une augmentation du nombre des porteurs.

Cela signifie que la résistance de cette zone est réduite et par conséquent elle peut être traversée par un courant plus élevé, en provenance de l'émetteur.

Or, un courant d'émetteur plus intense, introduit un plus grand nombre de porteurs et provoque une nouvelle diminution de la résistance.

Il en résulte un courant encore plus intense, donc une nouvelle diminution de la résistance et ainsi de suite.



On peut penser que le courant augmente jusqu'à atteindre des valeurs extrêmement élevées ; or, il n'en est rien car en même temps que le courant augmente, la tension d'EMETTEUR diminue.

Ce fait est facilement contrôlable en relevant les caractéristiques, indiquant comment varie la tension d'émetteur  $V_E$ , en fonction du courant  $I_E$ .

Ces caractéristiques sont représentées figure 19.

Chacune d'elles se réfère à une valeur particulière de la tension  $V_{BB}$ .

Considérons par exemple la courbe relative à  $V_{BB} = 15 \text{ V}$ .

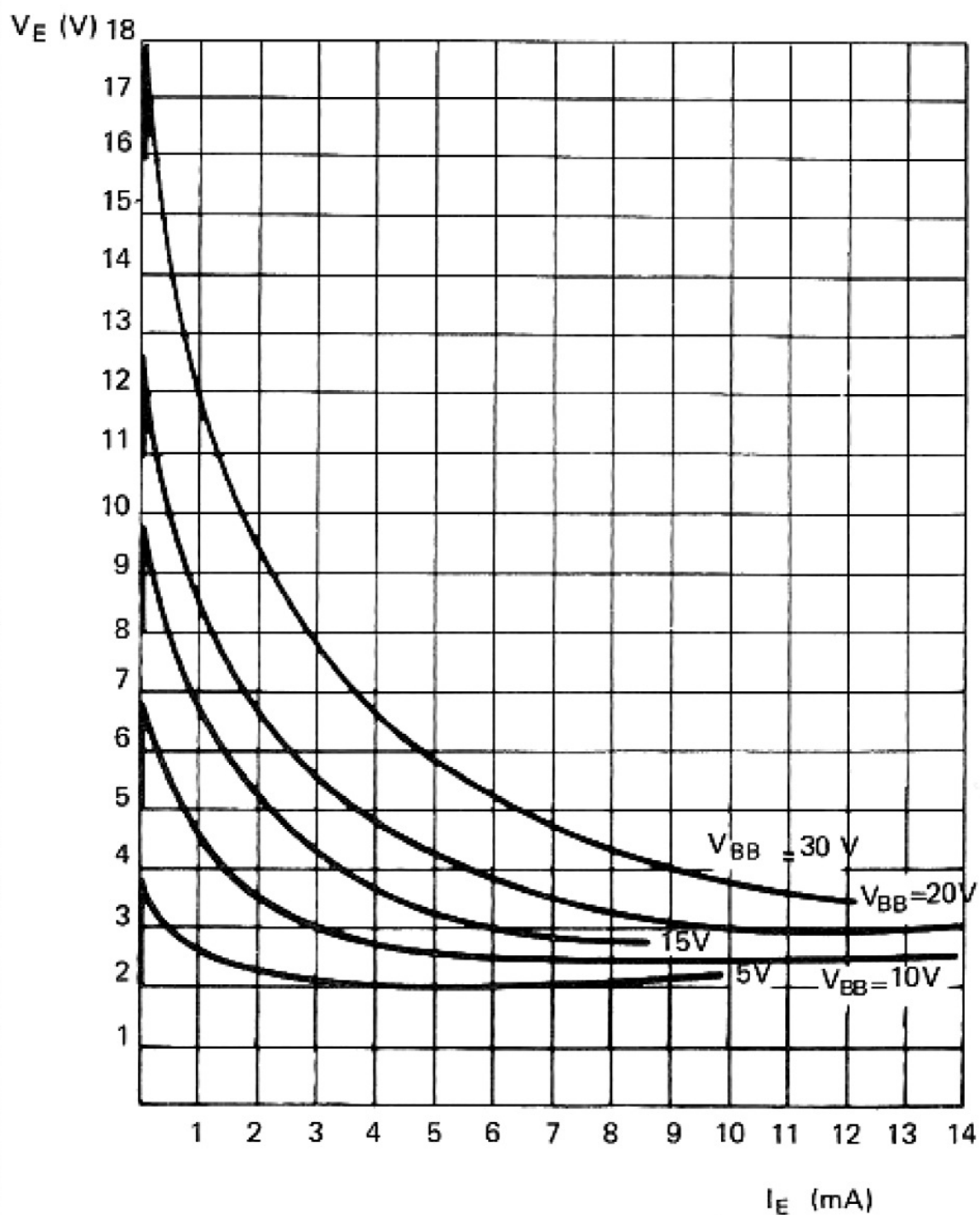
Pour une valeur nulle du courant  $I_E$ , la courbe présente un trait vertical, correspondant au moment où la jonction entre l'EMETTEUR et la BARRETTE DE SILICIUM est polarisée inversement.

Lorsque la tension  $V_E$  atteint une valeur d'environ 10 V, cette même jonction se trouve polarisée dans le sens direct et par conséquent, le courant d'EMETTEUR COMMENCE A CIRCULER.

A mesure que ce courant augmente d'intensité, la tension  $V_E$  diminue et se rapproche de l'axe horizontal.

Lorsqu'un élément se comporte de cette façon, on dit qu'il présente une RESISTANCE NEGATIVE.

Cette propriété est très utile pour la réalisation de nombreux circuits, capables d'engendrer des formes d'ondes particulières.



CARACTERISTIQUES D'ENTREE D'UN TRANSISTOR  
UNIJONCTION

Figure 19

En effet, ce type de transistor se comporte comme un interrupteur qui, selon la valeur de la tension appliquée à l'émetteur, se trouve OUVERT (haute impédance d'entrée) ou FERME (basse impédance d'entrée).

Nous constatons donc que le transistor UNIJONCTION a des applications différentes de celles des transistors étudiés précédemment.

Nous terminons ici la technologie des transistors. Avec la prochaine leçon, nous aborderons l'étude des circuits d'utilisation des semi-conducteurs avec les AMPLIFICATEURS.

\*\*\*\*\*

## NOTIONS A RETENIR

- Il existe actuellement TROIS METHODES utilisées pour la formation des jonctions PN, à savoir :
  - Le procédé d'ALLIAGE
  - Le procédé de DIFFUSION
  - Le procédé de l'ACCROISSEMENT CONTROLE.

Avec ce dernier système très peu utilisé, la formation des jonctions P.N. s'effectue pendant la croissance du monocristal.

Les transistors de la production industrielle courante, destinés à l'usage général, sont obtenus exclusivement par les procédés d'ALLIAGE et de DIFFUSION.

- L'EFFET DRIFT (mot anglais signifiant "POUSSER") a pour effet d'ACCELERER la vitesse des éléments (TROUS OU ELECTRONS) traversant la base.
- Le transistor MESA-EPITAXIAL diffère du transistor MESA par la succession des couches (NPN pour le premier et PNP pour le second) et surtout par la SUBDIVISION DU COLLECTEUR en deux zones superposées (l'une à haute résistivité et l'autre à faible résistivité).
- La technique PLANAR est adoptée pour la fabrication des transistors à double diffusion de types MESA et MESA-EPITAXIALE. Cette technique très avantageuse permet d'obtenir un grand nombre de transistors à la fois et d'EPAISSEUR EXTREMEMENT REDUITE (jusqu'à  $1/10^0$  de mm).
- Les TRANSISTORS A EFFET DE CHAMP ou F.E.T. unissent aux propriétés des transistors ordinaires, l'avantage des tubes

électroniques, c'est-à-dire UNE RESISTANCE D'ENTREE ELEVEE. En effet, la résistance d'entrée des F.E.T. atteint des valeurs de l'ordre de 10 000 M $\Omega$ , valeurs beaucoup plus élevées que celles des transistors courants.

- Le MOS F.E.T. a l'avantage de présenter une résistance d'entrée encore plus grande, pouvant aller jusqu'à 1 MILLIARD DE MEGHOMS. Ce transistor de conception particulière présente la particularité d'avoir la PORTE ISOLEE par rapport au canal.

Les trois lettres MOS (METAL, OXYDE, SEMI-CONDUCTEUR) indiquent la structure particulière de ce transistor.

- Le MOS F.E.T. peut fonctionner de deux façons différentes :

A) PAR ENRICHISSEMENT (en rendant la PORTE positive par rapport à la SOURCE, on enrichit le canal d'électrons, réduisant ainsi la résistance entre la source et le drain).

B) PAR RAREFACTION (en appliquant à la PORTE une tension négative. Celle-ci repousse les électrons du canal, produisant une zone de raréfaction des charges).

- Le transistor UNIJUNCTION encore appelé U.J.T. doit son nom au fait qu'il ne comporte qu'une seule jonction.

Ce transistor de conception particulière se comporte comme un INTERRUPTEUR qui, selon la valeur de la tension appliquée à l'émetteur se trouve OUVERT (haute impédance d'entrée) ou FERME (basse impédance d'entrée).



EXERCICE DE REVISION SUR LA  
LEÇON SEMI-CONDUCTEURS 7

- 1) Les transistors à jonctions d'alliage sont-ils particulièrement adaptés aux circuits H.F ?
- 2) De quoi dépend la réponse d'un transistor aux fréquences élevées ?
- 3) Qu'est ce que l'effet drift ?
- 4) Avec quelle technique les transistors FET sont-ils fabriqués ?
- 5) Quel est le comportement d'un transistor UJT ?



REPONSES A L'EXERCICE DE REVISION SUR LA  
LECON SEMI-CONDUCTEURS 6

- 1) Le courant résiduel  $I_{CBO}$  est influencé par la température du transistor étant donné qu'il réagit comme le courant inverse d'une diode à jonction.
- 2) La valeur de  $I_{CBO}$  double à peu près pour toute augmentation de  $10^{\circ}C$  de la température.
- 3) La stabilisation en courant continu de l'amplificateur à émetteur commun a pour but d'assurer l'interchangeabilité des transistors du même type et d'atténuer le phénomène de réaction thermique, en empêchant des augmentations excessives de la température interne du transistor, pendant son fonctionnement.
- 4) Les paramètres hybrides représentent respectivement la résistance d'entrée, la conductance de sortie et les coefficients d'amplification de courant et de réaction de tension.
- 5) Les unités de mesure des paramètres hybrides sont les suivantes :  $\Omega$  (ou  $k\Omega$ ) pour  $h_{11}$ ,  $mA/V$  (ou  $\mu A/V$ ) pour  $h_{22}$  nombres purs pour  $h_{21}$  et  $h_{12}$ .

